

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP60263430  
Publication date: 1985-12-26  
Inventor(s): SANO YOSHIKI  
Applicant(s): OKI DENKI KOGYO KK  
Requested Patent: ☐ JP60263430  
Application Number: JP19840119160 19840612  
Priority Number(s):  
IPC Classification: H01L21/265 ; H01L27/08  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To allow a first area and a second area to be formed using the same resist and a mark for alignment using the same resist too by using a positive-type resist of which exposure and development characteristics are not influenced by irradiation of ion beams and laminating the resist on a surface of a semiconductor substrate with its suitable thickness.

**CONSTITUTION:** After a positive-type resist 2 for ultraviolet rays is coated and laminated on a semi-insulating GaAs substrate 1 to form an aperture 2, a hole is formed. Next, after an aperture 5 is formed in the resist 2, silicon ion is implanted into a channel area 6 using the resist 2 as a mark. Next, an aperture 7 is added and silicon ion is implanted into the channel area 6 and a channel area 8 using the resist 2 having the apertures 3, 5 and 7 as the masks. Then, after the removal of the resist and the cleaning of the GaAs substrate 1, the channel areas 6 and 8 are activated by annealing. Source, gate and drain electrodes are, therefore, formed to obtain a depletion FET10 and an enhancement FET20. Also, alignment of masks is carried out up to formation of the electrodes using the aperture 3 as the mask.

---

Data supplied from the esp@cenet database - I2

⑨ 日 本 国 特 許 庁 ( J P )

⑩ 特 許 出 願 公 開

⑫ 公 開 特 許 公 報 ( A )

昭 60-263430

⑬ Int. Cl. 4

識 別 記 号

庁 内 整 理 番 号

⑭ 公 開 昭 和 60 年 ( 1985 ) 12 月 26 日

H 01 L 21/265  
27/08

1 0 2

6603-5F  
6655-5F

審 査 請 求 未 請 求 発 明 の 数 1 ( 全 4 頁 )

⑮ 発 明 の 名 称 半 導 体 装 置 の 製 造 方 法

⑯ 特 願 昭 59-119160

⑰ 出 願 昭 59 ( 1984 ) 6 月 12 日

⑱ 発 明 者 佐 野 芳 明 東 京 都 港 区 虎 ノ 門 1 丁 目 7 番 12 号 沖 電 気 工 業 株 式 会 社 内

⑲ 出 願 人 沖 電 気 工 業 株 式 会 社 東 京 都 港 区 虎 ノ 門 1 丁 目 7 番 12 号

⑳ 代 理 人 弁 理 士 鈴 木 敏 明

明 細 書

1. 発 明 の 名 称

半 導 体 装 置 の 製 造 方 法

2. 特 許 請 求 の 範 囲

導 電 形 不 純 物 濃 度 が 相 対 的 に 大 き い 第 1 領 域 と 導 電 形 不 純 物 濃 度 が 相 対 的 に 小 さ い 第 2 領 域 と を 半 導 体 基 体 内 に 有 す る 半 導 体 装 置 の 製 造 方 法 に お い て、

前 記 半 導 体 基 体 表 面 に ポ ジ 形 レ ジ ス ト を 積 層 す る 第 1 工 程 と、

当 該 ポ ジ 形 レ ジ ス ト の 露 光 と 現 像 と に よ っ て、 前 記 第 1 領 域 の 予 定 領 域 に 対 応 し た 開 口 を 当 該 レ ジ ス ト に 形 成 す る 第 2 工 程 と、

当 該 ポ ジ 形 レ ジ ス ト を マ ス ク と し 且 つ 前 記 第 1 領 域 の 導 電 形 不 純 物 濃 度 と 前 記 第 2 領 域 の 導 電 形 不 純 物 濃 度 と の 濃 度 差 に 対 応 し た 注 入 量 で、 前 記 第 1 領 域 の 予 定 領 域 に イ オ ン 注 入 を 行 う 第 3 工 程 と、

第 3 工 程 後 の 当 該 ポ ジ 形 レ ジ ス ト の 露 光 と 現 像 と に よ っ て、 前 記 第 2 領 域 の 予 定 領 域 に 対 応 し た

開 口 を 当 該 ポ ジ 形 レ ジ ス ト に 更 に 形 成 す る 第 4 工 程 と、

第 4 工 程 後 の ポ ジ 形 レ ジ ス ト を マ ス ク と し 且 つ 前 記 第 2 領 域 の 導 電 形 不 純 物 濃 度 に 対 応 し た 注 入 量 で、 前 記 第 1 領 域 の 予 定 領 域 と 前 記 第 2 領 域 の 予 定 領 域 と に イ オ ン 注 入 を 行 う 第 5 工 程 と、

を 備 え て い る こ と を 特 徴 と し た 半 導 体 装 置 の 製 造 方 法。

3. 発 明 の 詳 細 な 説 明

( 産 業 上 の 利 用 分 野 )

本 発 明 は、 導 電 形 不 純 物 濃 度 が 異 な る 領 域 を 必 要 と す る 半 導 体 装 置 の 製 造 方 法 に 関 す る。

( 従 来 の 技 術 )

日 経 エ レ ク ト ロ ニ ク ス 3 0 3 ( 1 9 8 2 - 1 1 - 8 ) P 1 1 2 - 1 1 4 に は、 ノ ー マ リ オ フ FET と ノ ー マ リ オ ン FET と を 基 本 素 子 と す る 半 導 体 装 置 に つ い て 記 載 し て あ る。

こ の よ う な 半 導 体 装 置 に お い て は、 導 電 形 不 純 物 濃 度 が 異 な る 2 種 類 の チ ャ ン ネ ル 領 域 を 必 要 と し、 通 常、 次 の 如 き 工 程 に よ っ て い る。

すなわち、まず半導体基体上にレジストを積層し、露光、現像を行って開口を形成し、この開口を介してエッチング法によりマスク合せ用の穴を形成する。次に前記レジストを除去し、基板を洗浄後さらに露光、現像により前記の穴を目印として所定の位置にノーマリオフFET形成のためのレジストの開口を形成し、このレジストをマスクとしてイオン注入エネルギー60 keV、濃度 $1 \times 10^{12}$  ドーズ/cm<sup>2</sup>でイオン注入することによりノーマリオフFET用のチャンネル領域が形成される。続いてレジストの除去、基板の洗浄後、前記マスク合せ用の穴を目印として露光、現像を行い、所定の位置にノーマリオンFET形成のためのレジストの開口を形成し、このレジストをマスクとしてイオン注入エネルギー60 keV、濃度 $2 \times 10^{12}$  ドーズ/cm<sup>2</sup>でイオン注入することによりノーマリオンFET用のチャンネル領域が形成される。最後にレジスト除去、洗浄を行った後、熱処理によるイオン注入領域のアニールを行ってから各チャンネル上にソース・ゲート・ドレイン電極を形成する。

(3)

メント形FETのチャンネル領域に対応した開口を前記ポジ形レジストに追加形成し、ついで、そのポジ形レジストをマスクとして、第1領域と第2領域とに、イオン注入を行う。

本発明では、前段でのイオン注入を、第1領域と第2領域との導電形不純物濃度差に対応したドーズ量で行い、後段のイオン注入を、第1領域と第2領域とに対応した開口から第2領域の導電形不純物濃度に対応したドーズ量で行い、この追加打ち込みによって、異なる導電形不純物濃度の領域を形成する。

(作用)

本発明によれば以上説明したように、同一レジストで第1領域と第2領域とが形成でき、また後述の実施例で述べるように、位置合せの目印も同じレジストを用いて形成することができるので、半導体基体の汚染を抑えることができる。

(実施例)

第1図(a)～第1図(f)は、本発明の一実施例の説明図であり、製造工程に沿ったGaAsICの断面図

(5)

従って、従来は、半導体基体中に異なる導電形不純物領域を形成する都度、レジスト積層とレジスト除去とを繰返す必要があり、それだけ、半導体基体が汚染される可能性が高かった。

(発明が解決しようとする問題点)

本発明の目的は、半導体基体表面へのレジストの積層を繰返さないで、導電形不純物濃度の異なる第1領域と第2領域とを形成することによって、半導体基体の汚染を極力少なくすることにある。

(問題点を解決するための手段)

本発明では、イオンビーム照射によって露光、現像特性が影響を受けないポジ形レジストを用い、半導体基体表面に適当厚で積層する。

本発明では、露光と現像とによって、まず導電形不純物濃度が相対的に大きい第1領域例えばデプレッションFETのチャンネル領域に対応した開口をポジ形レジストに形成し、次にそのポジ形レジストをマスクとしてイオン注入を行う。更に露光と現像とを行うことによって、導電形不純物濃度が相対的に小さい第2領域、例えばエンハンス

(4)

である。

まず第1図(a)に示すように、半絶縁性のGaAs基板1上にポジ形遠紫外光用のレジスト2を塗布して積層する。

次いで、第1図(b)に示すように、露光と現像とによって、レジスト2に開口3を形成し、その後、そのレジスト2をマスクとしてGaAs基板1をエッチし穴4を形成する。

次に、その開口3をマスク合せの目印として、デプレッション形FETのチャンネル領域に対応した部分を露光し且つ現像することによって、第1図(c)に示すように、レジスト2に開口5を形成した後、このレジスト2をマスクとして、デプレッション型FETのチャンネル領域6に、60 keVの加速電圧及び $1 \times 10^{12}$  ドーズ/cm<sup>2</sup>のドーズ量で、シリコンのイオン注入を行う。このときドーズ量は、デプレッションFET及びエンハンスメントFETに必要なドーズ量を各々 $\phi_D$ 、 $\phi_E$ とすると、 $(\phi_D - \phi_E)$ のドーズ量で行う。

次に、再び開口3をマスク合せの目印として、

(6)

エンハンスメント形 FET のチャンネル領域に対応した部分を露光し且つ現像することによって、第 1 図(d)に示すように、開口 7 を追加する。

次に第 1 図(e)に示すように、開口 3, 5, 7 を有するレジスト 2 をマスクとして、両方の FET のチャンネル領域 6, 8 に、60 keV の加速電圧及び  $1 \times 10^{12}$  ドーズ/cm<sup>2</sup> で、シリコンのイオン注入を行う。このとき、ドーズ量は、エンハンスメント FET に必要なドーズ量  $\phi_E$  で行う。チャンネル領域 6 のドーズ量は、2 回のイオン注入によって、 $(\phi_D - \phi_E) + \phi_E = \phi_D$  となり、デプレッション FET に必要な導電形不純物濃度となる。

その後、レジストの除去及び GaAs 基板 1 の洗浄を行ってから、アニールによってチャンネル領域 6, 8 の活性化を行い、その後、第 1 図(f)に示すように、ソース・ゲート・ドレイン電極を形成し、デプレッション FET 10 及びエンハンスメント FET 20 を得る。

この実施例では、初めにポジ形レジストを塗布しておき、開口を順次追加してイオン注入を行う

(7)

1 … GaAs 基板、2 … レジスト、3 … マスク合せ用の開口、5, 7 … 開口、6 … デプレッション FET のチャンネル、8 … エンハンスメント FET のチャンネル、10 … デプレッション FET、20 … エンハンスメント FET。

ため、1 回のレジストの塗布でデプレッション FET 10 及びエンハンスメント FET 20 のチャンネル領域 6, 8 が形成でき、汚染の機会を減らすことができる。

また、後工程の電極形成のために、穴 4 は必要であるが、それまでは開口 3 を目印としてマスク合せをすることができ、鮮明な目印でマスク合せをすることができ。

また、ポジ形レジストとして遠紫外光用のレジストを用いているため、紫外灯では露光されず、従って室内光下においてもイオン注入を行うことができる利点がある。

(発明の効果)

本発明によれば、1 回のレジスト積層で、導電形不純物濃度を異にする複数種類領域を形成するため、半導体装置の汚染を少なくすることができる利点がある。

#### 4. 図面の簡単な説明

第 1 図(a)～第 1 図(f)は本発明の一実施例を説明するための断面図である。

(8)

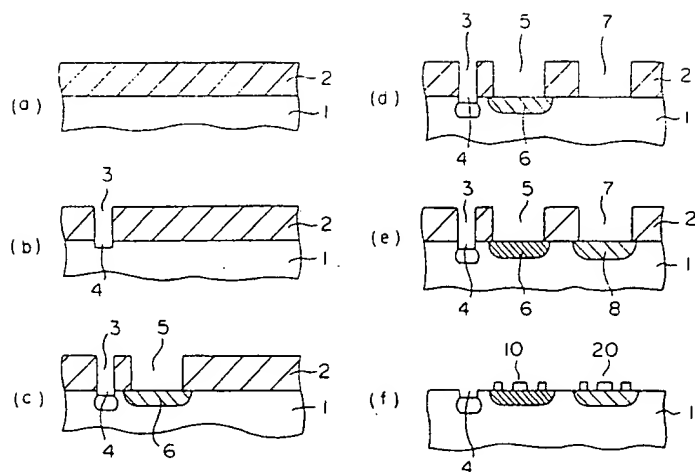
特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明



(9)

## 第 1 図



3... マスク合せ用の開口、 6... デプレッションFETのチャンネル

8... インハンスメントFETのチャンネル